

JAPANESE [JP,2002-158233,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A manufacture method of an insulated-gate mold semiconductor device characterized by providing the following. A production process which forms a channel layer of a reverse conductivity type in the semiconductor substrate surface of one conductivity type A production process which forms a trench with which said channel layer is penetrated and even said semiconductor substrate reaches A production process of said trench which forms a gate insulator layer on said channel layer at least A production process which forms a gate electrode which consists of a semiconductor material laid under said trench, A production process which forms the 1st source field in said channel layer surface between said adjoining trenches, A production process which forms an interlayer insulation film on said gate electrode at least, and a production process which forms a body contact field of a reverse conductivity type in said channel layer surface between said adjoining interlayer insulation films, Carry out after [deposition] etchback of the polish recon containing a 1 conductivity-type impurity to the whole surface, and a sidewall is formed in the side of said interlayer insulation film. A production process which diffuses said 1 conductivity-type impurity of said sidewall on said channel layer surface, and forms the 2nd source field, and a production process which forms a source electrode in contact with said sidewall and said 2nd source field

[Claim 2] A manufacture method of an insulated-gate mold semiconductor device characterized by providing the following. A production process which forms a channel layer of a reverse conductivity type in the semiconductor substrate surface of one conductivity type A production process which forms a trench with which said channel layer is penetrated and even said semiconductor substrate reaches A production process of said trench which forms a gate insulator layer on said channel layer at least A production process which forms a gate electrode which consists of a semiconductor material laid under said trench, A production process which forms the 1st source field in said channel layer surface between said trenches which introduce a 1 conductivity-type impurity into the whole surface, and adjoin it, A production process which forms the 1st interlayer insulation film and 2nd interlayer insulation film on said gate electrode at least, A production process which forms a body contact field of a reverse conductivity type in the channel layer surface between said interlayer insulation films which adjoin considering said 1 and 2nd interlayer insulation film as a mask, Carry out after [deposition] etchback of the polish recon containing a 1 conductivity-type impurity to the whole surface, and a sidewall is formed in the side of said 1st and 2nd interlayer insulation film. A production process which diffuses said 1 conductivity-type impurity of said sidewall on said channel layer surface, and forms the 2nd source field, and a production process which forms a source electrode in contact with said sidewall and said 2nd source field

[Claim 3] Said 1st and 2nd source field and said body contact field are the manufacture method of an insulated-gate mold semiconductor device according to claim 1 or 2 characterized by being formed by self aryne.

[Claim 4] Said sidewall is the manufacture method of an insulated-gate mold semiconductor device according to claim 1 or 2 characterized by being formed by polish recon which doped an arsenic.

[Claim 5] Concentration of an arsenic of said sidewall is the manufacture method of an insulated-gate mold semiconductor device according to claim 4 characterized by being higher than reverse conductivity-type high impurity concentration which forms 1 conductivity-type high impurity concentration which forms said 1st source field, and said body contact field.

[Claim 6] It is the manufacture method of an insulated-gate mold semiconductor device according to claim 2 characterized by forming said 1st interlayer insulation film in a silicate glass layer, and forming said 2nd interlayer insulation film by nitride.

[Claim 7] Said source electrode is the manufacture method of an insulated-gate mold semiconductor device according to claim 2 characterized by carrying out the laminating of the three layers, a barrier metal layer, a tungsten, and aluminum, and being formed.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the manufacture method of an insulated-gate mold semiconductor device of starting the manufacture method of an insulated-gate mold semiconductor device, especially realizing reduction of masks, and reduction of on resistance.

[0002]

[Description of the Prior Art] A small mass lithium ion cell has come to be called for with the spread of personal digital assistants. The protection network which performs dc-battery management of the charge and discharge of this lithium ion cell is more small, and can fully be equal also to load short-circuit with the needs of lightweight-izing of a personal digital assistant. Since it was built in the container of a lithium ion cell, the miniaturization was called for, and full use of the COB (Chip on Board) technology which used the chip abundantly was made, and this protection network has met the demand of a miniaturization. However, on the other hand, since power metal-oxide semiconductor field effect transistor is connected to a lithium ion cell at a serial, in order that the on resistance of this power metal-oxide semiconductor field effect transistor may also have the needs made very small and this may lengthen duration of a call and a standby time in a cellular phone, it is an indispensable element.

[0003] For this reason, development which raises cel density by micro processing when manufacturing a chip has been furthered. Although cel density was a 7,400,000-piece [/square] inch in the planar structure according to which a channel is formed in the semiconductor substrate surface, specifically, cel density improved-sharply with the 25 million-piece [/square] inch by the 1st generation of the trench structure which forms a channel in the side of a trench. Furthermore by the second generation of trench structure, cel density has improved to the 72 million-piece [/square] inch by detailed-ization.

[0004] With reference to drawing 15, the manufacturing process of the N channel mold power metal-oxide semiconductor field effect transistor of the conventional trench structure is shown from drawing 11.

[0005] In drawing 11, the laminating of the epitaxial layer of N-mold is carried out to N+ mold silicon semiconductor substrate 21, and the drain field 22 is formed. After injecting boron into the channel layer 24 of a schedule alternatively, it is spread and the channel layer 24 of P type is formed.

[0006] The CVD oxide film 25 of NSG (Non-doped Silicate Glass) is generated on the whole surface with a CVD method, after [mask formation] dry etching is carried out to it, it removes partially, and the trench opening 26 which the channel layer 24 exposed is formed.

[0007] Anisotropy dry etching of the silicon semiconductor substrate of the trench opening 26 is carried out by CF system and HBr system gas by using the CVD oxide film 25 as a mask, and the trench 27 which penetrates the channel layer 24 and reaches to the drain field 22 is formed.

[0008] In drawing 12, dummy oxidation is carried out, an oxide film (not shown) is formed in the trench 27 wall and CVD oxide-film 25 surface, and etching removes an oxide film and the CVD oxide film 25 after that. The reason for performing this dummy oxidation is for removing the etching damage in the case of dry etching, and forming next gate oxide in stability. Moreover, by oxidizing thermally at an elevated temperature, the trench opening 26 is rounded and it is effective in avoiding the electric-field concentration by the trench opening 26. Thereby, a trench 27 is formed.

[0009] In drawing 13, the whole surface is oxidized thermally and gate oxide 31 is formed. Then, the gate electrode 33 laid under the trench 27 is formed. That is, the polish recon layer of a non dope is adhered to the whole surface, Lynn is poured in and diffused at high concentration, and high conductivity-ization is attained. Dry cleaning dirty [of the polish recon layer which adhered to the whole surface after that] is carried out without a mask, and it considers as the gate electrode 33 laid under the trench 27.

[0010] In drawing 14, after carrying out the ion implantation of the boron alternatively with the mask by the resist film PR and forming the body contact field 34 of P+ mold, the resist film PR is removed.

[0011] Furthermore, a mask is carried out so that the source field 35 and the gate electrode 33 of a schedule may be exposed by the new resist film PR, the ion implantation of the arsenic is carried out, and after forming the source field 35 of N+ mold in the channel layer 24 surface contiguous to a trench 27, the resist film PR is removed.

[0012] In drawing 15, a BPSG (Boron Phosphorus Silicate Glass) layer is adhered with a CVD method after forming a NSG layer in the whole surface, and an interlayer insulation film 36 is formed. Then, a resist film is used as a mask and it leaves an interlayer insulation film 36 on the gate electrode 33 at least. Aluminum is adhered to the whole surface with a sputtering system after that, and the source electrode 37 in contact with the source field 35 and the body contact field 34 is formed.

[0013] An N channel mold is shown for the structure of the power metal-oxide semiconductor field effect

transistor of the conventional trench structure in an example using drawing 15.

[0014] The drain field 22 which consists of an epitaxial layer of N-mold is formed on the silicon semiconductor substrate 21 of N+ mold, and the channel layer 24 of P type is formed in the surface. The channel layer 24 is penetrated, the trench 27 which reaches to the drain field 22 is formed, the coat of the wall of a trench 27 is carried out by gate oxide 31, and the gate electrode 33 which consists of polish recon with which the trench 27 was filled up is formed. The source field 35 of N+ mold is formed in the channel layer 24 surface contiguous to a trench 27, and the body contact field 34 of P+ mold is established in the channel layer 24 surface between the source fields 35 of two adjacent cels. Furthermore, a channel field (not shown) is formed in the channel layer 24 along with a trench 27 from the source field 35. The gate electrode 33 top forms the source electrode 37 which contacts a cover, the source field 35, and the body contact field 34 with an interlayer insulation film 36.

[0015]

[Problem(s) to be Solved by the Invention] By the manufacture method of this conventional power metal-oxide semiconductor field effect transistor, the mask is used abundantly by each manufacturing process for the mask, and since especially power metal-oxide semiconductor field effect transistor also has many models, also in order to reduce cost, mask reduction is desired.

[0016] Moreover, the gate oxide and the interlayer insulation film which spread in trench opening had become the big factor to which the touch area of a source field and a source electrode is small to a wrap sake, and contact resistance cannot reduce a part of source field to it. Since contact resistance is directly concerned with on resistance, the reduction is desired. Although what reduces on resistance by increasing cel density is in use as for current, since a source field also becomes still minuter and a touch area with a source electrode cannot be earned if detailed-ization progresses in order to increase cel density, contact resistance becomes high and on resistance also has the problem which becomes high.

[0017]

[Means for Solving the Problem] A production process which this invention is made in view of this technical problem, and forms a channel layer of a reverse conductivity type in the semiconductor substrate surface of one conductivity type, A production process which forms a trench with which said channel layer is penetrated and even said semiconductor substrate reaches, A production process of said trench which forms a gate insulator layer on said channel layer at least, A production process which forms a gate electrode which consists of a semiconductor material laid under said trench, A production process which forms the 1st source field in said channel layer surface between said adjoining trenches, A production process which forms an interlayer insulation film on said gate electrode at least, and a production process which forms a body contact field of a reverse conductivity type in said channel layer surface between said adjoining interlayer insulation films, Carry out after [deposition] etchback of the polish recon containing a 1 conductivity-type impurity to the whole surface, and a sidewall is formed in the side of said interlayer insulation film. A production process which diffuses said 1 conductivity-type impurity of said sidewall on said channel layer surface, and forms the 2nd source field. Since it is characterized by providing a production process which forms a source electrode in contact with said sidewall and said 2nd source field and a source field and a body contact field can be formed by self aryne, a mask can be reduced and large cost reduction can be realized.

[0018] Moreover, since a sidewall is utilizable as a source field and a touch area with a source electrode can be earned on the sidewall side, a manufacture method of an insulated-gate mold semiconductor device that on resistance can be reduced can be offered.

[0019]

[Embodiment of the Invention] With reference to drawing 10, the N channel mold of trench mold power metal-oxide semiconductor field effect transistor is explained to an example for the gestalt of operation of this invention from drawing 1.

[0020] The production process at which trench mold power metal-oxide semiconductor field effect transistor forms the channel layer of a reverse conductivity type in the semiconductor substrate surface of one conductivity type, The production process which forms the trench with which a channel layer is penetrated and even a semiconductor substrate reaches, The production process of a trench which forms a gate insulator layer on a channel layer at least, The production process which forms the gate electrode which consists of a semiconductor material laid under the trench, The production process which forms the 1st source field in the channel layer surface between adjoining trenches, The production process which forms an interlayer insulation film on a gate electrode at least, and the production process which forms the body contact field of a reverse conductivity type in the channel layer surface between adjoining interlayer insulation films, The production process which carries out after [deposition] etchback of the polish recon containing a 1 conductivity-type impurity to the whole surface, forms a sidewall in the side of an interlayer insulation film, diffuses the 1 conductivity-type impurity of a sidewall on the channel layer surface, and forms the 2nd source field, It consists of production processes which form the source electrode in contact with a sidewall and the 2nd source field.

[0021] The 1st production process of this invention is to form the channel layer of a reverse conductivity type in the semiconductor substrate surface of one conductivity type, as shown in drawing 1.

[0022] The laminating of the epitaxial layer of N-mold is carried out to N+ mold silicon semiconductor substrate 1, and the drain field 2 is formed. After injecting boron into the channel layer 4 of a schedule alternatively, it is spread and the channel layer 4 of P type is formed.

[0023] The 2nd production process of this invention is to form the trench with which a channel layer is penetrated and even a semiconductor substrate reaches, as shown in drawing 2.

- [0024] The CVD oxide film 5 of NSG (Non-doped Silicate Glass) is generated on the whole surface with a CVD method, dry etching is carried out to it, it removes partially, and the trench opening 6 which the channel layer 4 exposed is formed.
- [0025] Anisotropy dry etching of the silicon semiconductor substrate of the trench opening 6 is carried out by CF system and HBr system gas by using the CVD oxide film 5 as a mask, and the trench 7 which penetrates the channel layer 4 and reaches to the drain field 2 is formed.
- [0026] The 3rd production process of this invention is in the thing of a trench for which a gate insulator layer is formed on a channel layer at least, as shown in drawing 3.
- [0027] Dummy oxidation is carried out, an oxide film (not shown) is formed in the trench 7 wall and CVD oxide-film 5 surface, and etching removes an oxide film and the CVD oxide film 5 after that. The reason for performing this dummy oxidation is for removing the etching damage in the case of dry etching, and forming next gate oxide in stability. Moreover, by oxidizing thermally at an elevated temperature, the trench opening 6 is rounded and it is effective in avoiding the electric-field concentration by the trench opening 6.
- [0028] Then, the whole surface is oxidized thermally, and even if there are few trench 7 walls, gate oxide 11 of 100A of thickness numbers is formed on a channel layer.
- [0029] The 4th production process of this invention is to form the gate electrode which consists of a semiconductor material laid under the trench, as shown in drawing 4.
- [0030] The polish recon layer of a non dope is adhered to the whole surface, N+ mold impurities, such as Lynn, are poured in and diffused at high concentration, and high conductivity-ization is attained. Dry cleaning dirty [of the polish recon layer which adhered to the whole surface after that] is carried out without a mask, and it considers as the gate electrode 13 laid under the trench 7.
- [0031] The 5th production process of this invention is to form the 1st source field in the channel layer surface between adjoining trenches, as shown in drawing 5.
- [0032] The ion implantation of the arsenic is carried out to the whole surface, it is diffused without a mask on it, and the 1st source field 12 is formed in the channel layer 4 surface. High impurity concentration at this time is made about [$2 \times 10^{15} \text{ cm}^{-2}$] into two. The channel layer 4 surface between the trenches 7 which adjoin by this serves as the 1st source field 12. Moreover, although N+ mold impurity is introduced also into the gate electrode 13 by carrying out an ion implantation to the whole surface, since it is the impurity and isomorphism which have been diffused in order to attain high electric conductivity-ization of the gate electrode 13, it is uninfluential in any way.
- [0033] The 6th production process of this invention is to form an interlayer insulation film on a gate electrode at least, as shown in drawing 6.
- [0034] The silicate glass layer of NSG layer 16a and BPSG layer 16b is deposited on the whole surface. In order to control the parasitic capacitance between the gate-sources after 1000A deposition for pressure-resistant high NSG layer 16a, 4000A BPSG layer 16b is deposited. Furthermore, 1000A nitride 16c is deposited on a these silicate glass layer.
- [0035] Since only oxide films, such as a BPSG layer, were conventionally used as an interlayer insulation film, it was polluted at the time of the spatter of metals, such as an ion implantation of each manufacturing process, and a source electrode, and there was a case where leakage current occurred between the gate-sources as a result. Then, by depositing high nitride 16c of the ion blocking effect on BPSG layer 16b, contamination of an interlayer insulation film 16 is prevented and reduction of leakage current is attained.
- [0036] Furthermore, the mask by the resist is formed, etching removes an interlayer insulation film 16 partially, and the wrap interlayer insulation film 16 is formed for the gate electrode 13 top at least. In order to prevent the gate electrode 13 being exposed with a mask alignment gap at this time, it etches so that an interlayer insulation film 16 and gate oxide 11 may remain in the trench opening 6.
- [0037] The 7th production process of this invention is to form the body contact field of a reverse conductivity type in the channel layer surface between adjoining interlayer insulation films, as shown in drawing 7.
- [0038] P+ mold impurities, such as boron, are introduced into the whole surface by using an interlayer insulation film 16 as a mask, and the body contact field 14 is formed in the portion which the 1st source field 12 exposed. In order to make P+ mold field reverse N+ mold field of the exposed 1st source field 12 at this time, let high impurity concentration be high-concentration high impurity concentration from about $7 \times 10^{15} \text{ cm}^{-2}$ and the former. According to this production process, the body contact field 14 can form in the channel layer 4 surface between the adjoining interlayer insulation films 16 by the self aryne.
- [0039] The 8th production process of this invention is to diffuse the 1 conductivity-type impurity of a sidewall on the channel layer surface, and form [carry out after / deposition / etchback of the polish recon containing a 1 conductivity-type impurity to the whole surface, form a sidewall in the side of an interlayer insulation film,] the 2nd source field, as shown in drawing 8 and drawing 9.
- [0040] This production process is a production process used as the feature of this invention, and carries out etchback of the polish recon which doped the arsenic on the whole surface after depositing on the thickness of 2000A with a CVD method in drawing 8. The sidewall 17 containing the arsenic which reaches a semiconductor substrate along the interlayer insulation film 16 side by this is formed.
- [0041] In drawing 9, it heat-treats, the arsenic in a sidewall 17 is diffused on the channel layer 4 surface, and the 2nd source field 15 is formed.
- [0042] Arsenic concentration doped to polish recon is made into about $19\text{--}21 \times 10^{19} \text{ atom cm}^{-3}$, and when spread on the channel layer 4 surface by heat treatment, it is made to become higher than the high impurity concentration of P+ mold field which forms the body contact field 14 here.
- [0043] Thereby, in the channel layer 4 surface on which the sidewall 17 has touched, a high-concentration

arsenic is again spread from N+ mold and P+ mold impurity which have been diffused at the production process till then. That is, P+ mold field which becomes directly under a sidewall 17 on the periphery of the body contact field 14 is reversed to N+ mold field, and the 2nd source field 15 is formed. Since diffusion spreads also horizontally, the 2nd source field 15 is united with the 1st source field 12 contiguous to a trench 7, and since it exposes from the sidewall 17 side further, the source electrode formed behind can be contacted.

[0044] Therefore, the 1st source field 12 contiguous to a trench 7, and the 2nd source field 15 and the body contact field 14 in contact with a source electrode can form by the self aryne.

[0045] Furthermore, since the polish recon of an arsenic dope is deposited with a CVD method and a sidewall 17 is formed, N+ mold high impurity concentration in a sidewall 17 becomes uniform, and can utilize this sidewall 17 as a good source field.

[0046] That is, since the sidewall 17 side contacts the source electrode formed at a next production process, it will earn the touch area of a source field and a source electrode sharply, it reduces contact resistance sharply, and can contribute to reduction of on resistance greatly.

[0047] The 9th production process of this invention is to form the source electrode in contact with a sidewall and the 2nd source field, as shown in drawing 10.

[0048] Wet etching removes the NSG layer 18, titanium night RAIDO which is barrier metal layer 19a is formed, and tungsten 19b is deposited with a CVD method. The source electrode 19 which carried out the spatter of the aluminum 19c after that, and contacted the sidewall 17 and the 2nd source field 15 is formed.

[0049] Since the gap of an adjoining trench is minute in the case of a cel like the example of this invention made detailed, if the direct spatter of the aluminum is carried out on a thick interlayer insulation film, a step hippo register will be large and it will be easy to generate a void in the metal-electrode membrane formation section.

[0050] Moreover, the stress migration which aluminum wiring disconnects with the stress of an interlayer insulation film may also be generated.

[0051] Then, the spatter of the barrier metal is carried out so that a metal may make it easy to go into a detailed portion, and further, stress migration resistance is good and forms the good tungsten of covering nature with a CVD method.

[0052] Since a metal enters also into a detailed portion by this, generating of a void can be controlled and an open circuit of aluminum wiring can also be prevented.

[0053] Moreover, the structure of the power metal-oxide semiconductor field effect transistor of this invention is explained using the cross section shown in drawing 10.

[0054] Trench mold power metal-oxide semiconductor field effect transistor consists of a semiconductor substrate, a channel layer, a trench, gate oxide, a gate electrode, a source field, an interlayer insulation film, a sidewall, and a metal electrode.

[0055] On the silicon semiconductor substrate 1 of N+ mold, a semiconductor substrate carries out the laminating of the epitaxial layer of N-mold, and makes it the drain field 2.

[0056] The channel layer 4 diffuses the boron of P type on the surface of the drain field 2 alternatively, and forms it in it more shallowly than the depth of a trench 7. A channel field (not shown) is formed in the field contiguous to the trench 7 of this channel layer 4.

[0057] A trench 7 carries out anisotropy dry etching of the semiconductor substrate, forms it, penetrates the channel layer 4, and is made to reach to the drain field 2. Generally, a trench 7 is formed the shape of a grid, and in the shape of a stripe on a semiconductor substrate. Gate oxide 11 is formed in trench 7 wall, and polish recon is laid underground in order to form the gate electrode 13.

[0058] Gate oxide 11 is formed in trench 7 wall which touches the channel layer 4 at least at the thickness of hundreds of A. Since gate oxide 11 is an insulator layer, it is inserted into the gate electrode 13 and semiconductor substrate which were formed in the trench 7, and has metal-oxide-semiconductor structure.

[0059] With the gestalt of operation of this invention, in order to take into consideration a mask alignment gap of contact hole formation, gate oxide 11 remains also on the semiconductor substrate surface of the trench opening 6.

[0060] The gate electrode 13 consists of polish recon laid under the trench 7, and in order to attain low resistance-ization, the P type impurity is introduced into this polish recon. Even the gate connection electrode (not shown) which surround the perimeter of a semiconductor substrate extends, and this gate electrode 13 is connected with the gate pad electrode (not shown) prepared on the semiconductor substrate.

[0061] The 1st source field 12 diffuses N+ mold impurity on the channel layer 4 surface contiguous to a trench 7, and is formed in it. The 1st source field 12 is covered with the interlayer insulation film 16 and gate oxide 11 to which the most spreads in the trench opening 6.

[0062] The 2nd source field 15 diffuses N+ mold impurity on the channel layer 4 surface of sidewall 17 directly under, and is formed in it. The trench 7 side of the 2nd source field 15 is uniting with the 1st source field 12, it exposes from the sidewall 17 side and the body contact field 14 side contacts the source electrode 19.

[0063] The body contact field 14 diffuses and forms P+ mold impurity in the channel layer 4 surface between the adjacent 2nd source fields 15 for potential stabilization of a substrate.

[0064] The interlayer insulation film 16 became the silicate glass layer of NSG layer 16a and BPSG layer 16b from nitride 16c, covered the gate electrode 13 at least, was formed, and has left the part to the trench opening 6.

[0065] A sidewall 17 is formed along the thickness direction of an interlayer insulation film 16 on the side of

an interlayer insulation film 16. The height and width of face are 2000A, respectively, and the side of a sidewall 17 is located inside the boundary of the 2nd source field 15 and the body contact field 14 (trench 7 side). Moreover, since it is in contact with the 2nd source field 15 and the source electrode 19 and N+ mold impurity is included, this sidewall 17 is utilizable as a source field.

[0066] The source electrode 19 forms tungsten 19b for barrier metal layer 19a, such as titanium night RAIDO, after formation, carries out the spatter of the aluminum 19c after that, and etches and forms it in a desired configuration.

[0067]

[Effect of the Invention] If it depends on this invention, the 1st and 2nd source field and a body contact field can form in the 1st by the self aryne. The 2nd source field which unites with the 1st source field and contacts a source electrode can be formed by forming a body contact field by using an interlayer insulation film as a mask after forming the 1st source field in the whole surface, and diffusing N+ mold impurity again from the sidewall of the arsenic dope prepared in the interlayer insulation film.

[0068] That is, since the masks for forming a source field and a body contact field are reducible, drastic reduction of cost is realizable.

[0069] Moreover, since whenever [doubling additional coverage / of a source field and a body contact field] is set to **0, improvement in cel density is expectable.

[0070] The sidewall to which the impurity of a source field and isomorphism is set to the 2nd from the polish recon doped by homogeneity can utilize as a good source field. Since the sidewall side will contact a source electrode and will earn the touch area of a source field and a source electrode, it has the advantage which reduces contact resistance and on resistance reduces.

[0071] That is, since it becomes possible to reduce own on resistance of a cel and contact resistance can specifically be reduced to about 1/3 compared with the trench mold power metal-oxide semiconductor field effect transistor of this conventional Ruhr, it contributes also to reduction of on resistance greatly.

[0072] By the nitride prepared [3rd] in the maximum upper layer of an interlayer insulation film, the external contamination at the time of carrying out the spatter of the metals, such as process contamination of an ion implantation etc. and a source electrode, can be controlled, and the leakage current between the gate-sources can be reduced.

[0073] Since the void which is easy to generate in the metal wiring layer between detailed cels by using a barrier metal layer and a tungsten for metal wiring of a source electrode the 4th is reduced and a stress migration can also be controlled further, an open circuit of aluminum wiring can be prevented.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a cross section explaining the manufacture method of the insulated-gate mold semiconductor device of this invention.

[Drawing 2] It is a cross section explaining the manufacture method of the insulated-gate mold semiconductor device of this invention.

[Drawing 3] It is a cross section explaining the manufacture method of the insulated-gate mold semiconductor device of this invention.

[Drawing 4] It is a cross section explaining the manufacture method of the insulated-gate mold semiconductor device of this invention.

[Drawing 5] It is a cross section explaining the manufacture method of the insulated-gate mold semiconductor device of this invention.

[Drawing 6] It is a cross section explaining the manufacture method of the insulated-gate mold semiconductor device of this invention.

[Drawing 7] It is a cross section explaining the manufacture method of the insulated-gate mold semiconductor device of this invention.

[Drawing 8] It is a cross section explaining the manufacture method of the insulated-gate mold semiconductor device of this invention.

[Drawing 9] It is a cross section explaining the manufacture method of the insulated-gate mold semiconductor device of this invention.

[Drawing 10] It is a cross section explaining the insulated-gate mold semiconductor device and its manufacture method of this invention.

[Drawing 11] It is a cross section explaining the manufacture method of the conventional insulated-gate mold semiconductor device.

[Drawing 12] It is a cross section explaining the manufacture method of the conventional insulated-gate mold semiconductor device.

[Drawing 13] It is a cross section explaining the manufacture method of the conventional insulated-gate mold semiconductor device.

[Drawing 14] It is a cross section explaining the manufacture method of the conventional insulated-gate mold semiconductor device.

[Drawing 15] It is a cross section explaining the manufacture method of the conventional insulated-gate mold semiconductor device.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-158233

(P2002-158233A)

(43)公開日 平成14年5月31日 (2002.5.31)

(51)Int.Cl.⁷
H 01 L 21/336
29/78

識別記号
6 5 2
6 5 3

F I
H 01 L 29/78

テ-マコト^{*}(参考)
6 5 2 M
6 5 3 A
6 5 8 B

審査請求 未請求 請求項の数7 O L (全8頁)

(21)出願番号 特願2000-351253(P2000-351253)

(22)出願日 平成12年11月17日 (2000.11.17)

(71)出願人 000001889

三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号

(72)発明者 石田 裕康

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

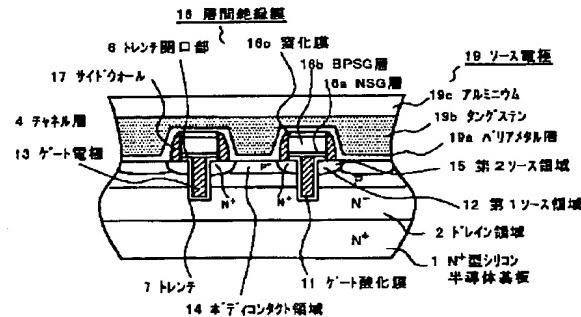
弁理士 芝野 正雅

(54)【発明の名称】 絶縁ゲート型半導体装置の製造方法

(57)【要約】

【課題】従来のパワーMOSFETではマスクを多用するためコスト削減にも限界があった。また、トレンチ開口部に広がる層間絶縁膜がソース領域の一部を覆い、ソース領域とソース電極のコンタクト面積が微小なため、オン抵抗の低減に限界があった。

【解決手段】チャネル層表面の第1ソース領域に設けたボディコンタクト領域の一部に、層間絶縁膜に設けたヒ素ドープのサイドウォールからN⁺型不純物を拡散し、P⁺型領域の一部を反転させて、第1ソース領域と一体化する第2ソース領域を形成することで、ソース領域およびボディコンタクト領域をセルファーラインで形成する。さらにサイドウォールはソース領域としても活用できるのでソース電極とのコンタクト面積が増大し、オン抵抗を低減できる。



1

【特許請求の範囲】

【請求項1】 一導電型の半導体基板表面に逆導電型のチャネル層を形成する工程と、前記チャネル層を貫通し前記半導体基板まで到達するトレンチを形成する工程と、前記トレンチの少なくとも前記チャネル層上にゲート絶縁膜を形成する工程と、前記トレンチに埋設される半導体材料からなるゲート電極を形成する工程と、隣接する前記トレンチの間の前記チャネル層表面に第1ソース領域を形成する工程と、少なくとも前記ゲート電極上に層間絶縁膜を形成する工程と、隣接する前記層間絶縁膜の間の前記チャネル層表面に逆導電型のボディコンタクト領域を形成する工程と、全面に一導電型不純物を含むポリシリコンを堆積後エッチバックして前記層間絶縁膜の側面にサイドウォールを形成し、前記サイドウォールの前記一導電型不純物を前記チャネル層表面に拡散して第2ソース領域を形成する工程と、前記サイドウォールおよび前記第2ソース領域にコンタクトしたソース電極を形成する工程とを具備することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項2】 一導電型の半導体基板表面に逆導電型のチャネル層を形成する工程と、前記チャネル層を貫通し前記半導体基板まで到達するトレンチを形成する工程と、前記トレンチの少なくとも前記チャネル層上にゲート絶縁膜を形成する工程と、前記トレンチに埋設される半導体材料からなるゲート電極を形成する工程と、全面に一導電型不純物を導入して隣接する前記トレンチ間の前記チャネル層表面に第1ソース領域を形成する工程と、少なくとも前記ゲート電極上に第1の層間絶縁膜および第2の層間絶縁膜を形成する工程と、前記1および第2の層間絶縁膜をマスクとして隣接する前記層間絶縁膜の間のチャネル層表面に逆導電型のボディコンタクト領域を形成する工程と、全面に一導電型不純物を含むポリシリコンを堆積後エッチバックして前記第1、第2の層間絶縁膜の側面にサイドウォールを形成し、前記サイドウォールの前記一導電型不純物を前記チャネル層表面に拡散して第2ソース領域を形成する工程と、前記サイドウォールおよび前記第2ソース領域にコンタクトしたソース電極を形成する工程とを具備することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項3】 前記第1および第2ソース領域および前記ボディコンタクト領域はセルフアラインで形成されることを特徴とする請求項1または請求項2に記載の絶縁

2

ゲート型半導体装置の製造方法。

【請求項4】 前記サイドウォールはヒ素をドープしたポリシリコンで形成されることを特徴とする請求項1または請求項2に記載の絶縁ゲート型半導体装置の製造方法。

【請求項5】 前記サイドウォールのヒ素の濃度は、前記第1ソース領域を形成する一導電型不純物濃度および前記ボディコンタクト領域を形成する逆導電型不純物濃度よりも高いことを特徴とする請求項4に記載の絶縁ゲート型半導体装置の製造方法。

【請求項6】 前記第1の層間絶縁膜はシリケートグラス層で形成され、前記第2の層間絶縁膜は窒化膜で形成されることを特徴とする請求項2に記載の絶縁ゲート型半導体装置の製造方法。

【請求項7】 前記ソース電極はバリアメタル層、タンゲステン、アルミニウムの3層を積層して形成されることを特徴とする請求項2に記載の絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は絶縁ゲート型半導体装置の製造方法に係り、特にマスクの削減およびオン抵抗の低減を実現する絶縁ゲート型半導体装置の製造方法に関する。

【0002】

【従来の技術】携帯端末の普及に伴い小型で大容量のリチウムイオン電池が求められるようになってきた。このリチウムイオン電池の充放電のバッテリーマネジメントを行う保護回路は携帯端末の軽量化のニーズにより、より小型で負荷ショートにも十分に耐えうるものでなくてはならない。かかる保護回路はリチウムイオン電池の容器内に内蔵するために小型化が求められ、チップ部品を多用したCOB(Chip on Board)技術が駆使され、小型化の要求に応えてきた。しかし一方ではリチウムイオン電池に直列にパワーMOSFETを接続するのでこのパワーMOSFETのオン抵抗も極めて小さくするニーズがあり、これが携帯電話では通話時間や待機時間を長くするために不可欠の要素である。

40 【0003】このためにチップを製造する上で微細加工によりセル密度を上げる開発が進められてきた。具体的には、チャネルが半導体基板表面に形成されるブレーナー構造ではセル密度は740万個／平方インチであったが、チャネルをトレンチの側面に形成するトレンチ構造の第1世代ではセル密度は2500万個／平方インチと大幅に向上了。さらにトレンチ構造の第2世代では、微細化によりセル密度は7200万個／平方インチまで向上できた。

50 【0004】図11から図15を参照して、従来のトレンチ構造のNチャネル型パワーMOSFETの製造工程

を示す。

【0005】図11では、N⁺型シリコン半導体基板21にN⁺型のエピタキシャル層を積層してドレイン領域22を形成する。予定のチャネル層24に選択的にボロンを注入した後、拡散してP型のチャネル層24を形成する。

【0006】全面にCVD法によりNSG(Non-doped Silicate Glass)のCVD酸化膜25を生成し、マスク形成後ドライエッ칭して部分的に除去し、チャネル層24が露出したトレンチ開口部26を形成する。

【0007】CVD酸化膜25をマスクとしてトレンチ開口部26のシリコン半導体基板をCF系およびHBr系ガスにより異方性ドライエッ칭し、チャネル層24を貫通してドレイン領域22まで達するトレンチ27を形成する。

【0008】図12ではダミー酸化をしてトレンチ27内壁とCVD酸化膜25表面に酸化膜(図示せず)を形成し、その後、酸化膜とCVD酸化膜25をエッ칭により除去する。このダミー酸化を行う理由は、ドライエッ칭の際のエッ칭ダメージを除去し、後のゲート酸化膜を安定に形成するためである。また、高温で熱酸化することによりトレンチ開口部26に丸みをつけ、トレンチ開口部26での電界集中を避ける効果もある。これにより、トレンチ27が形成される。

【0009】図13では、全面を熱酸化してゲート酸化膜31を形成する。その後、トレンチ27に埋設されるゲート電極33を形成する。すなわち、全面にノンドープのポリシリコン層を付着し、リンを高濃度に注入・拡散して高導電率化を図る。その後全面に付着したポリシリコン層をマスクなしでドライエッチして、トレンチ27に埋設されたゲート電極33とする。

【0010】図14ではレジスト膜PRによるマスクにより選択的にボロンをイオン注入し、P⁺型のボディコントラクト領域34を形成した後、レジスト膜PRを除去する。

【0011】更に、新たなレジスト膜PRで予定のソース領域35およびゲート電極33を露出する様にマスクして、砒素をイオン注入し、N⁺型のソース領域35をトレンチ27に隣接するチャネル層24表面に形成した後、レジスト膜PRを除去する。

【0012】図15では、全面にNSG層を形成後、BPSG(Boron Phosphorus Silicate Glass)層をCVD法により付着して、層間絶縁膜36を形成する。その後、レジスト膜をマスクにして少なくともゲート電極33上に層間絶縁膜36を残す。その後アルミニウムをスパッタ装置で全面に付着して、ソース領域35およびボディコントラクト領域34にコントラクトするソース電極37を形成する。

【0013】図15を用いて従来のトレンチ構造のパワ

ーMOSFETの構造をNチャネル型を例に示す。

【0014】N⁺型のシリコン半導体基板21の上にN⁺型のエピタキシャル層からなるドレイン領域22を設け、その表面にP型のチャネル層24を設ける。チャネル層24を貫通し、ドレイン領域22まで到達するトレンチ27を設け、トレンチ27の内壁をゲート酸化膜31で被膜し、トレンチ27に充填されたポリシリコンよりなるゲート電極33を設ける。トレンチ27に隣接したチャネル層24表面にはN⁺型のソース領域35が形成され、隣り合う2つのセルのソース領域35間のチャネル層24表面にはP⁺型のボディコントラクト領域34を設ける。さらにチャネル層24にはソース領域35からトレンチ27に沿ってチャネル領域(図示せず)が形成される。ゲート電極33上は層間絶縁膜36で覆い、ソース領域35およびボディコントラクト領域34にコントラクトするソース電極37を設ける。

【0015】

【発明が解決しようとする課題】かかる従来のパワーMOSFETの製造方法では、マスクを各製造工程でマスクを多用しており、特にパワーMOSFETは機種も多いのでコストを削減するためにも、マスク削減が望まれている。

【0016】また、トレンチ開口部に広がるゲート酸化膜および層間絶縁膜がソース領域の一部を覆うために、ソース領域とソース電極との接触面積が小さく、コントラクト抵抗が低減できない大きな要因となっていた。コントラクト抵抗はオン抵抗と直接的に関わるため、その低減が望まれている。現在は、セル密度を増やすことによりオン抵抗を低減するものが主流であるが、セル密度を増やすために微細化が進むとソース領域も更に微小となり、ソース電極との接触面積が稼げないためコントラクト抵抗が高くなり、オン抵抗も高くなってしまう問題がある。

【0017】

【課題を解決するための手段】本発明はかかる課題に鑑みてなされ、一導電型の半導体基板表面に逆導電型のチャネル層を形成する工程と、前記チャネル層を貫通し前記半導体基板まで到達するトレンチを形成する工程と、前記トレンチの少なくとも前記チャネル層上にゲート絶縁膜を形成する工程と、前記トレンチに埋設される半導体材料からなるゲート電極を形成する工程と、隣接する前記トレンチの間の前記チャネル層表面に第1ソース領域を形成する工程と、少なくとも前記ゲート電極上に層間絶縁膜を形成する工程と、隣接する前記層間絶縁膜の間の前記チャネル層表面に逆導電型のボディコントラクト領域を形成する工程と、全面に一導電型不純物を含むポリシリコンを堆積後エッチバックして前記層間絶縁膜の側面にサイドウォールを形成し、前記サイドウォールの前記一導電型不純物を前記チャネル層表面に拡散して第2ソース領域を形成する工程と、前記サイドウォールお

および前記第2ソース領域にコンタクトしたソース電極を形成する工程とを具備することを特徴とし、ソース領域およびボディコンタクト領域をセルフアラインで形成できるため、マスクが低減でき、大幅なコスト削減を実現できる。

【0018】また、サイドウォールをソース領域として活用できるため、サイドウォール側面でソース電極との接触面積が稼げるので、オン抵抗を低減できる絶縁ゲート型半導体装置の製造方法を提供できる。

【0019】

【発明の実施の形態】本発明の実施の形態を図1から図10を参照してトレンチ型パワーMOSFETのNチャネル型を例に説明する。

【0020】トレンチ型パワーMOSFETは、一導電型の半導体基板表面に逆導電型のチャネル層を形成する工程と、チャネル層を貫通し半導体基板まで到達するトレンチを形成する工程と、トレンチの少なくともチャネル層上にゲート絶縁膜を形成する工程と、トレンチに埋設される半導体材料からなるゲート電極を形成する工程と、隣接するトレンチの間のチャネル層表面に第1ソース領域を形成する工程と、少なくともゲート電極上に層間絶縁膜を形成する工程と、隣接する層間絶縁膜の間のチャネル層表面に逆導電型のボディコンタクト領域を形成する工程と、全面に一導電型不純物を含むポリシリコンを堆積後エッチバックして層間絶縁膜の側面にサイドウォールを形成し、サイドウォールの一導電型不純物をチャネル層表面に拡散して第2ソース領域を形成する工程と、サイドウォールおよび第2ソース領域にコンタクトしたソース電極を形成する工程とから構成される。

【0021】本発明の第1の工程は、図1に示す如く、一導電型の半導体基板表面に逆導電型のチャネル層を形成することにある。

【0022】N⁺型シリコン半導体基板1にN⁻型のエピタキシャル層を積層してドレイン領域2を形成する。予定のチャネル層4に選択的にボロンを注入した後、拡散してP型のチャネル層4を形成する。

【0023】本発明の第2の工程は、図2に示す如く、チャネル層を貫通し半導体基板まで到達するトレンチを形成することにある。

【0024】全面にCVD法によりNSG(Non-doped Silicate Glass)のCVD酸化膜5を生成し、ドライエッティングして部分的に除去し、チャネル層4が露出したトレンチ開口部6を形成する。

【0025】CVD酸化膜5をマスクとしてトレンチ開口部6のシリコン半導体基板をCF系およびHBr系ガスにより異方性ドライエッティングし、チャネル層4を貫通してドレイン領域2まで達するトレンチ7を形成する。

【0026】本発明の第3の工程は、図3に示す如く、

トレンチの少なくともチャネル層上にゲート絶縁膜を形成することにある。

【0027】ダミー酸化をしてトレンチ7内壁とCVD酸化膜5表面に酸化膜(図示せず)を形成し、その後、酸化膜とCVD酸化膜5をエッティングにより除去する。このダミー酸化を行う理由は、ドライエッティングの際のエッティングダメージを除去し、後のゲート酸化膜を安定に形成するためである。また、高温で熱酸化することによりトレンチ開口部6に丸みをつけ、トレンチ開口部6での電界集中を避ける効果もある。

【0028】その後、全面を熱酸化してトレンチ7内壁の少なくともチャネル層上に厚さ数百Åのゲート酸化膜11を形成する。

【0029】本発明の第4の工程は、図4に示す如く、トレンチに埋設される半導体材料からなるゲート電極を形成することにある。

【0030】全面にノンドープのポリシリコン層を付着し、リン等のN⁺型不純物を高濃度に注入・拡散して高導電率化を図る。その後全面に付着したポリシリコン層をマスクなしでドライエッチして、トレンチ7に埋設されたゲート電極13とする。

【0031】本発明の第5の工程は、図5に示す如く、隣接するトレンチの間のチャネル層表面に第1ソース領域を形成することにある。

【0032】全面にマスクなしでヒ素をイオン注入して拡散し、チャネル層4表面に第1ソース領域12を形成する。このときの不純物濃度は $2 \times 10^{15} \text{ cm}^{-3}$ 程度とする。これにより隣接するトレンチ7の間のチャネル層4表面が第1ソース領域12となる。また、全面にイオン注入することにより、ゲート電極13にもN⁺型不純物が導入されるが、ゲート電極13の高導電率化を図るために拡散されている不純物と同型なので、何ら影響はない。

【0033】本発明の第6の工程は、図6に示す如く、少なくともゲート電極上に層間絶縁膜を形成することにある。

【0034】全面にNSG層16aおよびBPSG層16bのシリケートグラス層を堆積する。耐圧性の高いNSG層16aを1000Å堆積後、ゲート-ソース間の寄生容量を抑制するためにBPSG層16bを4000Å堆積する。さらにこれらシリケートグラス層の上に窒化膜16cを1000Å堆積する。

【0035】従来は、層間絶縁膜としてBPSG層等の酸化膜のみを使用していたため、各製造工程のイオン注入およびソース電極などの金属のスパッタ時に汚染され、その結果ゲート-ソース間でリーク電流が発生する場合があった。そこで、BPSG層16bの上にイオンブロッキング効果の高い窒化膜16cを堆積することにより層間絶縁膜16の汚染を防ぎ、リーク電流の低減が可能となる。

【0036】さらに、レジストによるマスクを形成してエッチングにより層間絶縁膜16を部分的に除去して、少なくともゲート電極13上を覆う層間絶縁膜16を形成する。このとき、マスク合わせずれによりゲート電極13が露出するのを防ぐために、トレンチ開口部6に層間絶縁膜16およびゲート酸化膜11が残存するようにエッチングする。

【0037】本発明の第7の工程は、図7に示す如く、隣接する層間絶縁膜の間のチャネル層表面に逆導電型のボディコンタクト領域を形成することにある。

【0038】層間絶縁膜16をマスクとして全面にポロンなどのP+型不純物を導入して、第1ソース領域12が露出した部分にボディコンタクト領域14を形成する。このとき、露出した第1ソース領域12のN+型領域をP+型領域に反転させるために、不純物濃度は $7 \times 10^{19} \text{ cm}^{-3}$ 程度と従来より高濃度の不純物濃度とする。この工程により、隣接する層間絶縁膜16の間のチャネル層4表面にボディコンタクト領域14がセルフアラインで形成できる。

【0039】本発明の第8の工程は、図8および図9に示す如く、全面に一導電型不純物を含むポリシリコンを堆積後エッチバックして層間絶縁膜の側面にサイドウォールを形成し、サイドウォールの一導電型不純物をチャネル層表面に拡散して第2ソース領域を形成することにある。

【0040】本工程は本発明の特徴となる工程であり、図8では、全面にヒ素をドープしたポリシリコンをCVD法により2000Åの厚みに堆積後、エッチバックする。これにより層間絶縁膜16側面に沿って半導体基板に達するヒ素を含むサイドウォール17が形成される。

【0041】図9では、熱処理を施し、サイドウォール17中のヒ素をチャネル層4表面に拡散して、第2ソース領域15を形成する。

【0042】ここで、ポリシリコンにドープするヒ素濃度は例えば $19 \sim 21 \times 10^{19} \text{ 原子 cm}^{-3}$ 程度とし、熱処理によりチャネル層4表面に拡散したときにボディコンタクト領域14を形成しているP+型領域の不純物濃度よりも高くなるようにする。

【0043】これにより、サイドウォール17が接しているチャネル層4表面には、それまでの工程で拡散されているN+型およびP+型不純物より高濃度のヒ素が再度拡散される。つまり、ボディコンタクト領域14の外周でサイドウォール17の直下になるP+型領域がN+型領域に反転して第2ソース領域15が形成される。拡散は水平方向へも広がるため、第2ソース領域15はトレンチ7に隣接する第1ソース領域12と一体化し、さらにサイドウォール17側面から露出するので後に形成されるソース電極とコンタクトできる。

【0044】従って、トレンチ7に隣接する第1ソース領域12と、ソース電極とコンタクトする第2ソース領

域15およびボディコンタクト領域14がセルフアラインで形成できる。

【0045】更に、ヒ素ドープのポリシリコンをCVD法で堆積してサイドウォール17を形成するため、サイドウォール17中のN+型不純物濃度は均一となり、このサイドウォール17を良質なソース領域として活用できる。

【0046】つまり、サイドウォール17側面が、後の工程で形成されるソース電極とコンタクトするのでソース領域とソース電極との接触面積を大幅に稼ぐことになり、コンタクト抵抗を大幅に低減し、オン抵抗の低減に大きく寄与できる。

【0047】本発明の第9の工程は、図10に示す如く、サイドウォールおよび第2ソース領域にコンタクトしたソース電極を形成することにある。

【0048】NSG層18をウエットエッチングにより除去し、バリアメタル層19aであるチタンナイトライドを成膜し、タングステン19bをCVD法により堆積する。その後アルミニウム19cをスパッタしてサイドウォール17および第2ソース領域15にコンタクトしたソース電極19を形成する。

【0049】本発明の実施例のような微細化したセルの場合、隣接するトレンチの間隔が微小であるため、厚みのある層間絶縁膜の上にアルミニウムを直接スパッタすると、ステップカバレジが大きく、金属電極成膜部にボイドが発生しやすい。

【0050】また、層間絶縁膜の応力によりアルミニウム配線が断線する、ストレスマイグレーションも発生する場合がある。

【0051】そこで、金属が微細な部分に入りやすくするようバリアメタルをスパッタし、さらに、ストレスマイグレーション耐性が良く、被覆性の良いタングステンをCVD法により成膜する。

【0052】これにより、微細な部分にも金属が入り込むため、ボイドの発生が抑制でき、アルミニウム配線の断線も防ぐことができる。

【0053】また、図10に示す断面図を用いて、本発明のパワーMOSFETの構造を説明する。

【0054】トレンチ型パワーMOSFETは、半導体基板と、チャネル層と、トレンチと、ゲート酸化膜と、ゲート電極と、ソース領域と、層間絶縁膜と、サイドウォールと、金属電極とから構成される。

【0055】半導体基板は、N+型のシリコン半導体基板1の上にN-型のエピタキシャル層を積層してドレイン領域2とする。

【0056】チャネル層4は、ドレイン領域2の表面に選択的にP型のポロンを拡散してトレンチ7の深さよりも浅く形成する。このチャネル層4のトレンチ7に隣接した領域に、チャネル領域（図示せず）が形成される。

【0057】トレンチ7は、半導体基板を異方性ドライ

エッチングして形成し、チャネル層4を貫通してドレン領域2まで到達させる。一般的には半導体基板上に格子状またはストライプ状にトレンチ7を形成する。トレンチ7内壁にはゲート酸化膜11を設け、ゲート電極13を形成するためにポリシリコンを埋設する。

【0058】ゲート酸化膜11は、少なくともチャネル層4と接するトレンチ7内壁に数百Åの厚みに形成する。ゲート酸化膜11は絶縁膜であるので、トレンチ7内に設けられたゲート電極13と半導体基板に挟まれてMOS構造となっている。

【0059】本発明の実施の形態では、コンタクト孔形成のマスク合わせずれを考慮するため、トレンチ開口部6の半導体基板表面にもゲート酸化膜11が残存している。

【0060】ゲート電極13は、トレンチ7に埋設されたポリシリコンよりなり、該ポリシリコンには、低抵抗化を図るためにP型不純物が導入されている。このゲート電極13は、半導体基板の周囲を取り巻くゲート連結電極(図示せず)まで延在され、半導体基板上に設けられたゲートバッジ電極(図示せず)に連結される。

【0061】第1ソース領域12は、トレンチ7に隣接したチャネル層4表面にN⁺型不純物を拡散して形成される。第1ソース領域12はそのほとんどがトレンチ開口部6に広がる層間絶縁膜16およびゲート酸化膜11に覆われている。

【0062】第2ソース領域15は、サイドウォール17直下のチャネル層4表面にN⁺型不純物を拡散して形成される。第2ソース領域15のトレンチ7側は第1ソース領域12と一体化しており、ボディコンタクト領域14側はサイドウォール17側面から露出してソース電極19とコンタクトする。

【0063】ボディコンタクト領域14は、基板の電位安定化のため、隣り合う第2ソース領域15の間のチャネル層4表面にP⁺型不純物を拡散して形成する。

【0064】層間絶縁膜16は、NSG層16a、BPSG層16bのシリケートガラス層と、窒化膜16cからなり、少なくともゲート電極13を覆って形成されトレンチ開口部6にその一部を残している。

【0065】サイドウォール17は、層間絶縁膜16の側面で層間絶縁膜16の厚さ方向に沿って形成される。その高さおよび幅はそれぞれ2000Åであり、サイドウォール17の側面は第2ソース領域15とボディコンタクト領域14の境界よりも内側(トレンチ7側)に位置する。また、第2ソース領域15およびソース電極19とコンタクトしており、N⁺型不純物を含むので、このサイドウォール17をソース領域として活用できる。

【0066】ソース電極19は、チタンナイトライド等のパリアメタル層19aを形成後、タングステン19bを成膜し、その後アルミニウム19cをスパッタして所望の形状にエッチングして形成する。

【0067】

【発明の効果】本発明に依れば、第1に、第1および第2ソース領域とボディコンタクト領域がセルフアラインで形成できる。全面に第1ソース領域を形成後、層間絶縁膜をマスクとしてボディコンタクト領域を形成し、層間絶縁膜に設けたヒ素ドープのサイドウォールからN⁺型不純物を再度拡散することにより、第1ソース領域と一体化し、且つソース電極にコンタクトする第2ソース領域が形成できる。

【0068】つまり、ソース領域およびボディコンタクト領域を形成するためのマスクが削減できるので、コストの大額な削減が実現できる。

【0069】また、ソース領域およびボディコンタクト領域の合わせ余裕度が±0となるので、セル密度の向上が期待できる。

【0070】第2に、ソース領域と同型の不純物が均一にドープされたポリシリコンよりなるサイドウォールが、良質なソース領域として活用できる。サイドウォール側面がソース電極とコンタクトし、ソース領域とソース電極との接触面積を稼ぐことになるので、コンタクト抵抗を低減し、オン抵抗が低減する利点を有する。

【0071】つまり、セル自身のオン抵抗を低減することが可能となるもので、具体的には従来の同ルールのトレンチ型パワーMOSFETに比べて、コンタクト抵抗を1/3程度まで低減できるので、オン抵抗の低減にも大きく寄与する。

【0072】第3に層間絶縁膜の最上層に設けた窒化膜により、イオン注入などのプロセス汚染やソース電極などの金属をスパッタする際の外部汚染を抑制でき、ゲート-ソース間のリーク電流を低減できる。

【0073】第4にソース電極の金属配線にパリアメタル層とタングステンを用いることにより微細なセル間の金属配線層に発生しやすいポイドを低減し、さらにストレスマイグレーションも抑制できるので、アルミニウム配線の断線を防げる。

【図面の簡単な説明】

【図1】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図2】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図3】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図4】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図5】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図6】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図7】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

11

【図8】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図9】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図10】本発明の絶縁ゲート型半導体装置およびその製造方法を説明する断面図である。

【図11】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

*

12

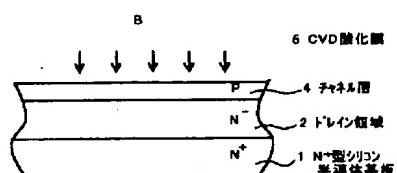
* 【図12】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図13】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

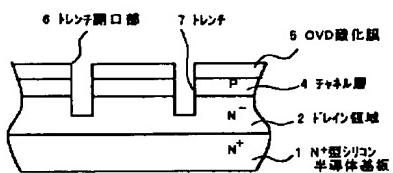
【図14】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図15】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

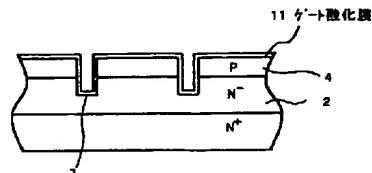
【図1】



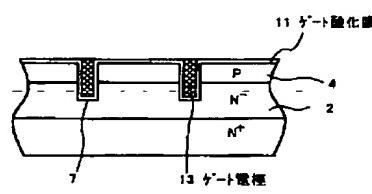
【図2】



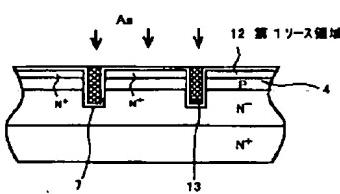
【図3】



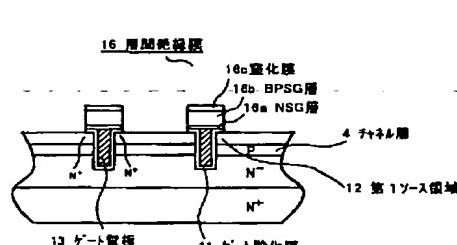
【図4】



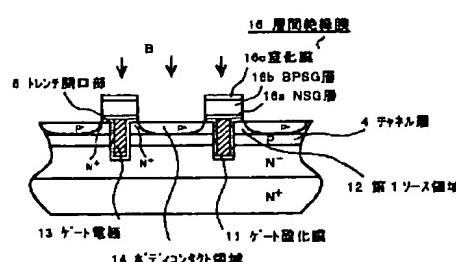
【図5】



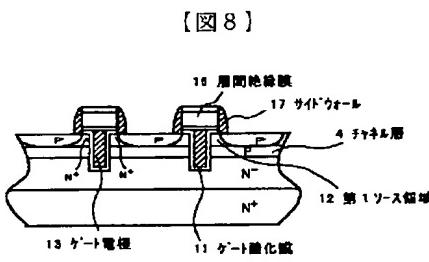
【図6】



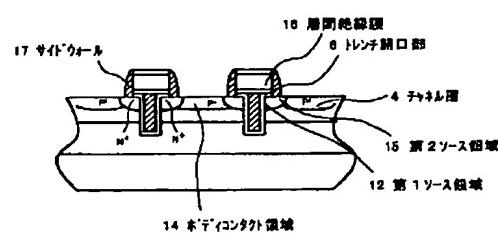
【図7】



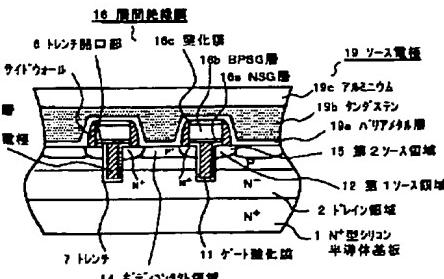
【図8】



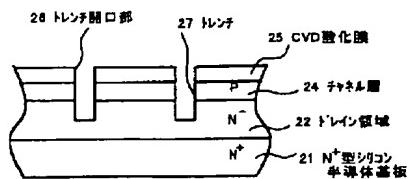
【図9】



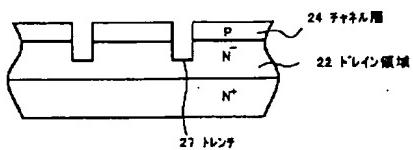
【図10】



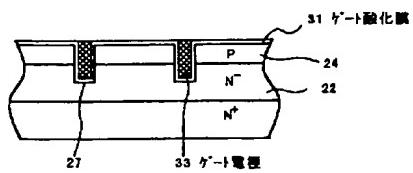
【図11】



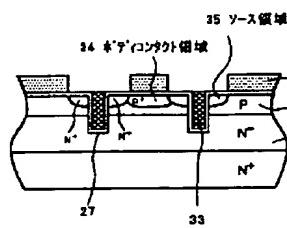
【図12】



【図13】



【図14】



【図15】

